

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Apparatus for controlling electrical receivers occupying at least two states

Patent Number: ☐ US4499463

Publication date: 1985-02-12

Inventor(s): JACQUEL DOMINIQUE (FR)

Applicant(s): SOMFY (FR)

Requested Patent: ☐ JP58029028

Application Number: US19820396337 19820708

Priority Number (s): FR19810014623 19810728

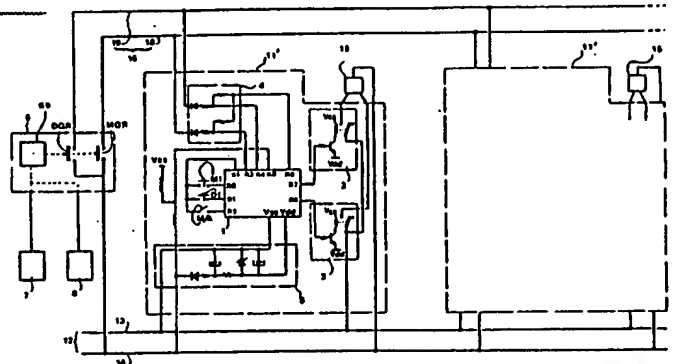
IPC Classification: H04Q9/00

EC Classification: G05B19/042; G08C19/30

Equivalents: BE904775, ☐ CH648676, ☐ DE3226522, ☐ FR2510777, ☐ GB2105930,
☐ IT1152441, JP1812875C, JP5022246B, NL192059B, ☐ NL192059C,
☐ NL8202691

Abstract

The present invention relates to a control installation for several electrical receivers, such as motors for example, able to occupy at least two states. Each installation comprises individual control devices respectively associated with receivers and a general control device able to control all the receivers. The control installation comprises, in each individual control device, a logic processing unit comprising, on the one hand a first group of input terminals to which are connected the switching means of the corresponding individual control device, on the other hand output terminals connected through the intermediary of output interfaces to the corresponding receiver. The switching means of the general control device are connected to a second group of input terminals of the logic processing unit, through the intermediary of an input interface. Each logic processing unit is provided, on the one hand in order to accept in succession commands given non-simultaneously by the corresponding individual control device or by the general control device, on the other hand in order to accept solely the command given by the general control device, as long as this command is given simultaneously with a command from the corresponding individual control device.



Data supplied from the esp@cenet database - 12

(4)

⑬ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑩ 特許出願公開
昭58—29028

⑥ Int. Cl.³
G 05 F 1/66
H 02 P 7/00

識別記号

庁内整理番号
6945—5H
7189—5H

④ 公開 昭和58年(1983) 2月21日

発明の数 1
審査請求 未請求

(全 23 頁)

④ 受電器制御装置

① 特 願 昭57—131892
② 出 願 昭57(1982) 7月28日
優先権主張 ② 1981年 7月28日 ③ フランス
(FR) ④ 81 14623
⑦ 発 明 者 ドミニク・ジャコール
フランス国エフ74460メルナア
ツ・ル・デイ・ロイジン・イメ

ウブル・リ・ロイジン(無番
地)
⑦ 出 願 人 カルバーノ・エ・ポー・インダ
ストリーズ
フランス国74302クリューズ・
プラス・デイ・クラー(無番
地)
⑦ 代 理 人 弁理士 志賀富士弥

明 細 書

1. 発明の名称

受電器制御装置

2. 特許請求の範囲

(1) 少なくとも2個の状態をとり得る複数個の受電器を制御するための装置であつて、電源に接続された個別制御装置を有し、この個別制御装置はそれぞれ受電器又は受電器群に結合され、各個別制御装置は、対応する受電器をその状態のいずれか1個に望み通り定めるためのスイッチ手段を有するとともに、電源に接続された総制御装置により共通制御ラインを介して制御され、この総制御装置は全ての受電器をその状態のいずれか1個に望み通り定めるためのスイッチ手段を有する装置において、各個別制御装置は、常時電源に接続さ

れた論理処理ユニットを有し、この論理処理ユニットは、一方で、少なくとも1個の入力端子が上記個別制御装置のスイッチ手段に接続された第1群の入力端子を有するとともに、他方で、少なくとも1個の出力インタフェースを介して、対応する受電器に接続された出力端子を有し、総制御装置のスイッチ手段は、各個別制御装置に内蔵された入力インタフェースを介して、各論理処理ユニットに具えられた第2群の入力端子に接続され、各論理処理ユニットは、一方で、対応する個別制御装置又は総制御装置により非同時的に与えられた指令を逐次して受入れるために設けられるとともに、他方で、総制御装置により与えられた指令が対応する個別制御装置からの指令と同時にあるいは、その総制御装置からの指令のみを受入れる

ために設けられていることを特徴とする受電器制御装置。

(2) 特許請求の範囲第1項に記載する装置において、各論理処理ユニットは、不揮発性メモリに、走査プログラム、記憶プログラム、及び制御装置により与えられた指令を制御し逐次的に動作するプログラムを内蔵するマイクロカリキュレータにより構成され、走査プログラムは、第1群の入力端子において、対応する個別制御装置のスイッチ手段の位置に関する情報を収集し、第2群の入力端子において、総制御装置のスイッチ手段の位置に関する情報を収集するために設けられ、記憶プログラムは、上記スイッチ手段のこれらの位置を記憶するために設けられ、受入れ指令制御プログラムは、総制御装置から命令が来る事実又は命令

が来ない事実を確認するために設けられ、応答が肯定である場合には、その総制御装置からの命令を、個別制御装置からの指令が、また、存在したか否かを確認することなしに、直ちに実行し、応答が否定である場合には、対応する個別制御装置により与えられた指令を実現するために設けられたことを特徴とする受電器制御装置。

(3) 特許請求の範囲第1項に記載する装置において、各論理処理ユニットは、スイッチ手段位置読取論理回路を有する論理回路により構成され、この論理回路は、スイッチ手段により与えられた多数の指令の中で、幾つかの指令が同時に与えられたときに受入れるべき1個を決定するために設けられた優先論理回路に接続され、この優先論理回路は、受入れられた指令を記憶し、上記論理回路

の出力端子の1個を制御し又は制御しないために設けられた記憶論理回路に接続されていることを特徴とする受電器制御装置。

(4) 幾つかのピックアップにより与えられた幾つかの指令を比較して優先順位を確定するために設けられた優先論理回路を総制御装置が有する。特許請求の範囲第1項ないし第3項のいずれか1項に記載する装置において、上記優先論理回路は、優先順位により又はピックアップに与えられた他の要因により、予定値よりも長い又は短い期間中それぞれ総制御装置のスイッチ手段を自動的に作動位置に切換えるために設けられたことを特徴とする受電器制御装置。

(5) 特許請求の範囲第1項ないし第4項のうちいずれか1項に記載する装置において、個別制御装

置は、少なくとも1個の付加的スイッチ手段を有し、このスイッチ手段は、総制御装置により与えられた指令の持続期間が予定値よりも短いときには、一定位置にある対応する論理処理ユニットをして上記指令を拒絶せしめるために設けられたことを特徴とする受電器制御装置。

(6) 受電器は、ブラインド、スライドシャッター又はその他類似物を制御する電動モータにより構成され、このモータは、自動停止装置を有するとともに、この自動停止装置の動作が不十分な場合に、モータを停止させるために設けられた遅延手段を有する。特許請求の範囲第1項ないし第5項のいずれか1項に記載する装置において、各個別制御装置は、対応するモータの回転がこの個別制御装置により又は総制御装置により制御されるかの各

場合において、作動位置に切換えられるために設けられた個別遅延手段を有することを特徴とする受電器制御装置。

8. 発明の詳細な説明

本発明は、少なくとも2個の状態をとり得る幾つかの受電器を制御するための設備に関する。これらの受電器は、例えば、モータ、抵抗発熱器又は電灯であることができる。これらの設備は、電源に接続された個別制御装置を有しており、これらの個別制御装置は、それぞれ受電器又は受電器のグループに結合されている。これらの個別制御装置は、それぞれ、とり得る状態のいずれか1個に、対応する受電器を任意に固定するためのスイッチ手段を有するとともに、共通制御ラインを介して総制御装置により制御される。この総制御装置は、

電源に接続され、とり得る状態のいずれか1個に、全ての受電器を任意に固定するためのスイッチ手段を有している。

この種の公知の制御設備、例えば、フランス特許第2,871,799号に記載されたようなものにおいては、総制御装置の構造が比較的複雑である。なぜならば、この総制御装置は、直流電源装置、リレー、論理回路、遅延装置及び8個のスイッチ手段(1個は「ストップ」機能のため)を内蔵する比較的複雑な制御ボックスを必要とするからである。これらの8個のスイッチ手段は、また、各個別制御装置に存在している。さらに、この各個別制御装置においては、この装置のスイッチ手段により対応する受電器に与えられた指令は、遅延されない。これは、受電器が、例えば、ブラ

インド又はスライドシャッタを駆動するために設けられた電動モータにより構成された場合に、欠点となる。実際は、このモータが個別制御装置により操作される場合において、その自動停止装置(生じたときは、不足の電圧が印加される危険が)に欠陥が存在する。さらに、全ての受電器について総制御装置のスイッチ手段を一定位置(例えば、上昇に対応する)に切換え、その後、個別制御装置のうちいずれか1つの装置のスイッチ手段を反対位置(この例では、下降に対応する)に切換えたい場合に、スイッチ手段へのこの種の操作は、総制御装置の制御ボックスへの操作により先に開始された遅延期間の進行の間中、何らの効果も生じない。

他方、総制御装置がこの装置のスイッチ手段を自動的に制御するために設けられた外部ビクア

ップを有する場合には、これらの外部ビクアップは、個別制御装置のスイッチ手段に加えられる操作に対し、常に、その動作が優先する。これは、その機能が常には優先させる必要のないものであれば、欠点である。したがって、例えば、そのビクアアップがブラインド用モータに結合した総制御装置に指令を与える太陽電池であるときは、総制御装置の制御ボックスにより開始された遅延期間が完全に経過しない限り、一の個別制御装置を介して反対の指令を与えることは不可能である。

最後に、接続ラインは比較的複雑である。なぜなら、各受電器の主電力供給ラインのほか、総制御装置と個別制御装置との間には、2個の導体を制御するためのラインとその他の2個の導体のための交流電流供給ラインが存在するからである。

本発明による制御設備は特許請求の範囲第1項において詳記りにされた、諸特徴により特徴づけられる。

本発明は、公知の先行技術の欠点を有することなく、比較的単純であり、しかも嵩ばらない構造を有する制御設備を構成するのを容れとする。この制御設備の動作にはより信頼性があるから、各受電器を常に即時に動作状態とすることを可能とし、しかも、各機能について望みとするものを優先して実行することが保証される。

総制御装置は、スイツナ手段を内蔵する嵩ばらないケーシング内に完全に内蔵され得る。さらに、各個別制御装置も単純化されている。特に、スイツナ手段の数が低減され、総制御装置に各個別制御装置を接続するリードの数が低減される。

第1図に示すように、本発明にかかる制御設備は、2本のリード18及び14により交流電源12に接続された個々の制御装置11から成る。これらの制御装置11は、それぞれ、受電器15に接続されている。各制御装置11は、この実施例では、電源回路6を介してリード18及び14に接続されたマイクロカリキュレータ1（例えば、テキサス インスツルメント社のTMB1000）により構成された論理的漸進ユニット、及びこの実施例では電動モータにより構成された受電器15に接続された2個の出力インターフェイス2及び3を有している。各出力インターフェイス2又は3は、モータの両回転方向の一方においてこのモータの回転を制御するために設けられている。各制御装置11は、入力インターフェイス4を介

制御設備の動作の信頼性はより高められる。なぜならば、受電器が自動停止装置により停止するように調整された電動モータにより構成されている場合であつても、上記モータの停止は、自動停止装置がたとえ故障しても、対応する個別制御装置又は総制御装置により確保されるからである。

同様に、たとえ、反対の指令が総制御装置を介して同一の受電器に先にも与えられている場合であつても、各受電器は、対応する個別制御装置を介して即時に作動状態に操作され得る。ただし、総制御装置により与えられる指令が優先順位を有する場合は別であるが、したがつて、制御設備は、各機能について望みのものを優先して実行することを確保し、外部ビツクアップは、一定の場合にのみ、その動作が優先する。

して共通制御ライン16に接続されている。また、制御設備は総制御装置17を有する。この総制御装置17は、一方において交流電源12に接続され、他方において2本のリード18及び14を有する共通制御ライン16に接続されている。

上記マイクロカリキュレータ1は、2個の電源端子V_{cc}及びV_{dd}、入力端子K1、K2、K4及びK8、及び出力端子R0、R1、R6、R7及びR8を有している。

各制御装置11は、この実施例ではそれぞれが作動位置及び非作動位置を有する2個のスイツナMI（上昇）及びDI（下降）により構成されたスイツナ手段を有している。この実施例では、スイツナMI及びDIに、瞬時作動位置を有する押ボタンスイッチが採用される。スイツナMI及び

D I の第 1 端子は、それぞれ、マイクロカリキュレータ 1 の出力端子 R 0 及び R 1 に接続されるとともにスイッチ M I 及び D I の第 2 端子は、ともに入力端子 K 1 に接続されている。

各電源回路 5 は、対応するマイクロカリキュレータ 1 に直流電流を供給するためのものである。この電源回路 5 は、例えば、整流用ダイオード 2 5、安定用抵抗器 2 6、2 箇のキャパシタ 2 7 及び 2 8 を有するフィルタ、抵抗器 2 9、及びツェナーダイオード 8 0 により構成されている。この種の装置自体は公知である。我々の実施例では、リード 1 8 がマイクロカリキュレータ 1 の電源端子 V_{cc} に直接接続され、リード 1 4 が整流用ダイオード 2 5、及び抵抗器 2 6 及び 2 9 を介して電源端子 V_{dd} に接続されている。

1 9 並びに入力端子 K 4 及び出力端子 R 8 の間に配置されている。各ダイオード 8 7 の機能は、スイッチ M 0 及び D 0 により断続される交流電源 1 2 の負の半波のみを取出すことである。抵抗器 3 3 及び 3 8 は、交流電源 1 2 の電圧を入力端子 K 2 及び K 4 の入力端子電圧仕様に調和する値まで下げるためのものである。

各出力インターフェイス 2 は、例えば、非作動接点及び作動接点を有するリレー 8 4 を有している。作動接点は一の方向におけるモータの回転を制御する。リレー 8 4 の共通接点は、リード 1 8 に接続されている。リレー 8 4 のコイルは、その一端がマイクロカリキュレータ 1 の電源端子 V_{cc} に接続され、他端がトランジスタ 8 5 のコレクタに接続されている。トランジスタ 8 5 のエミッタ

マイクロカリキュレータ 1 の入力端子 K 8 は、抵抗器 3 1 及び 3 2 の組合せによりリード 1 4 に接続されている。この抵抗器 3 1 及び 3 2 の組合せは、上記入力端子 K 8 における電圧をこの入力端子 K 8 の入力電圧仕様に適合する値まで下げるように作用する。この実施例では、上述した通りの接続関係により、モータ 1 5 の作動遅延をカウントするためのタイムベースとして交流電源を利用することが可能となる。

各入力インターフェイス 4 は、例えば、ダイオード 8 7 を有している。このダイオード 8 7 のカソードはリード 1 8 に接続され、ダイオード 8 7 のアノードは抵抗器 3 8 を介して入力端子 K 2 に接続されるとともに他の抵抗器 3 8 を介して出力端子 R 8 に接続されている。同様の素子がリード

は電源端子 V_{dd} に接続され、トランジスタ 3 5 のベースは抵抗器 3 6 を介して出力端子 R 7 に接続されている。

各出力インターフェイス 3 は、出力インターフェイス 2 と同様の趣向で各素子に接続され、それにより他の方向におけるモータの回転を制御する。出力インターフェイス 8 のトランジスタ 3 5 は、出力端子 R 8 に接続されている。

モータ 1 5 の第 1 端子 1 5 a は、出力インターフェイス 2 のリレー 8 4 の作動接点に接続されている。モータ 1 5 の第 2 端子 1 5 b は、出力インターフェイス 8 のリレー 8 4 の作動接点に接続されている。モータ 1 5 の第 2 端子 1 5 c は、リード 1 4 に接続されている。

上記制御装置 1 7 は、この実施例では、それぞ

れが作動位置及び非作動位置を有する2個のスイッチM (上昇) 及びD0 (下降) を有している。この実施例では、スイッチM0及びD0は、瞬時動作位置を有する押ボタンスイッチである。これらのスイッチM0及びD0は、その第1端子のそれぞれが共通制御ライン18のリード18又は19に接続され、第2端子がともにリード14に接続されている。

上記マイクロカリキュレータ1は、不揮発性メモリを有している。この不揮発性メモリは、走査プログラム41、記憶プログラム42、テストプログラム43、受入れ指令制御プログラム44、受入れ指令処理プログラム45、最終受入れ指令処理プログラム47及び遅延プログラム48を内蔵している。

53、54、55及び56を有している。受入れ指令制御プログラム44の最初命令は、該制御装置のスイッチの位置(記憶プログラム42に前以つて記憶されていた位置)を確認するサブプログラム50の最初命令である。サブプログラム50の最終命令は、上記該制御装置から来る「ストップ」機能を確認するサブプログラム53の最初命令のアドレス、又は対応する個別制御装置から来る「ストップ」機能を確認するサブプログラム51の最初命令のアドレスに対する条件付き呼出し命令である。

上記サブプログラム58の最終命令は、該制御装置により与えられた指令を記憶するサブプログラム55の最初命令のアドレス、又は該制御装置から来る「ストップ」機能を確認するサブプログ

第2図に示すように、各スイッチM1、D1、M0及びD0の開閉を走査するプログラム41は、その最終命令が上記スイッチ群の開閉を記憶するプログラム42の最初命令に先行する命令系列を有している。この記憶プログラム42の最終命令は、少なくとも一のスイッチが既に操作された事実を確認するテストプログラム43の最初命令に先行する。テストプログラム43の最終命令は、最終指令処理プログラム47の最初命令のアドレス又は受入れ指令制御プログラム44の最初命令のアドレスに対する条件付き呼出し命令である。最終指令処理プログラム47の最終命令は、遅延プログラム48の最初命令に先行する。

受入れ指令制御プログラム44は、第2図に示された個別のサブプログラム50、51、52、

ラム54の最初命令のアドレスに対する条件付き呼出し命令である。サブプログラム54の最終命令は、走査プログラム41の最初命令に先行する。

サブプログラム51の最終命令は、対応する個別制御装置から来る「ストップ」機能を確認するサブプログラム50の最初命令のアドレス、又は対応する個別制御装置により与えられた指令を記憶するサブプログラム52の最初命令のアドレスに対する条件付き呼出し命令である。

サブプログラム55の最終命令は、「受入れ指令」を処理するプログラム45の最初命令に先行する。

サブプログラム52の最終命令は「受入れ指令」を処理するプログラム45の最初命令に先行する。

受入れ指令処理プログラム45により処理され

る「受入れ指令」は、各個別のケースに応じて、サブプログラム55に記憶された始指令か又はサブプログラム52に記憶された個別指令のいずれかである。受入れ指令処理プログラム45の最終指令は、遅延プログラム48の最初命令に先行する。この遅延プログラム48は、対応するマイクロカリキュレータ1に内蔵された遅延カウンタを予設定し、その後減分処理するためのものである。遅延プログラム48の最終命令は、走査プログラム41の最初命令に先行する。

本発明においては、個別「ストップ」指令は、スイッチM I及びD Iを同時押圧することにより与えられ、始「ストップ」指令はスイッチM O及びD Oを同時押圧することにより与えられる。

非作動時には、マイクロカリキュレータ1は、

M O及びD Oをいずれも作動位置に切換えない場合には、入力端子K 1は、出力端子R 0に接続され、走査プログラム41は、スイッチM Iの開閉位置を読取るとともにスイッチD I、M O及びD Oの開閉位置を読取り、これらの開閉位置を、スイッチの位置を記憶するプログラム42により記憶する。サブプログラム43は、少なくとも1個のスイッチ、この場合はスイッチM I、が既に作動位置に切換えられた事実を確認する。受入れ指令制御プログラム44は、その後、サブプログラム50により、始制御装置17から何らの指令も来ないことを確認し、その後、サブプログラム51によりスイッチM Iのみが作動位置に切換えられているのであるから、「ストップ」は無いことを確認する。サブプログラム52は、個別制御装置

走査プログラム41を通じて走査出力端子R 0及びR 1に逐次パルスを送給する。マイクロカリキュレータ1が作動開始すると、出力端子R 8は、常時、状態1となり、出力端子R 6及びR 7は、状態0となる。電源端子V e e及びV d dには、常時、電力が供給される。走査プログラム41は、パルスを送給すると同時に、一方では、入力端子K 1に、2個のスイッチM I及びD Iの位置に関する情報を収集し、他方では、入力端子K 2及びK 4に、スイッチM O及びD Oに関する情報を入インターフェイス4を介して収集し、最後に、入力端子K 8に、交流電源12の周波数により形成されるタイムベースに関する情報を収集する。

操作者が、例えば、個別制御装置11のスイッチM Iを作動位置に切換え、同時にスイッチD I、

11により与えられた上昇指令を記憶する。受入れ指令処理プログラム45は、予じめ記憶された上昇指令を読取り、出力端子R 7に電力を供給する。この出力端子R 7は、出力端子2を介して、モータ15の回転をブラインド板が上昇する方向に制御する。その後、遅延プログラム48は、個別遅延装置の遅延カウンタを、遅延時間、例えば、8分間を決定する値に予設定する。上記走査プログラム41は、再度、スイッチM I、D I、M O及びD Oの位置を読取る。

操作者がスイッチM Iのみを作動位置に切換えた状態を保持する限り、上記各プログラムの連続が上述した通りに再び生じる。遅延プログラム48が実行される毎に、この遅延プログラム48は、入力端子K 8に出現する各状態変化に基づいて遅

遅延カウンタを減分処理する。それにより、出力端子 R 7 には、上記遅延カウンタが（遅延期間の終了に対応する）に達するまで電力が供給され続ける。この時、モータ 15 には、最早、電力は供給されない。

操作者がスイッチ M I を解放すると、プログラム 41 及び 42 は上述した通り実行され、その後、テストプログラム 48 がいずれのスイッチも作動位置に無い事実を確認する。最終受入れ指令処理プログラム 47 は、サブプログラム 52 により予じめ記憶された上昇指令を読取る。上記遅延カウンタは上述の通り減分処理されるから、モータ 15 は遅延時間の終了時に停止する。

遅延カウンタが 0 に達する毎に、サブプログラム 52 に予じめ記憶された情報は消去される。

確認する。その後、サブプログラム 50 が、総制御装置 17 から何らの指令も来ないことを確認し、その後、サブプログラム 51 が、スイッチ M I 及び D I が同時に作動位置に切換えられているから、「ストップ」指令の存在していることを確認する。

個別「ストップ」指令を処理するサブプログラム 58 が遅延カウンタを 0 にリセットし、それにより、モータ 15 への電力供給が即時に中止される。

上記遅延カウンタが 0 にリセットされる場合は、予じめサブプログラム 52 に記憶された情報が消去される。

操作者が、総制御装置 17 の一のスイッチ、例えば、全てのブラインド類に対する下降指令に対応するスイッチ D 0 を作動位置に切換えた場合、

上記個別制御装置 11 の動作は、作動位置に切換えられるのがスイッチ D I であり、かつ、このスイッチ D I のみである場合と同様である。その後、電力を供給されるのは出力端子 R 6 であり、これにより、モータ 15 は、ブラインド類の下降に対応する他の方向に逆回転する。

上記モータ 15 が予じめ制動され、上昇方向に回転している間に、操作者がスイッチ M I 及び D I を同時に押圧し、かつ、スイッチ M 0 又は D 0 のいずれをも押圧しない場合は、この操作は「ストップ」指令に対応するから、即時にモータ 15 の回転は中断される。実際は、プログラム 41 及び 42 が実行された後、テストプログラム 43 が少なくとも 1 箇のスイッチ、この場合にはスイッチ M I 及び D I が作動位置に切換えられた事実を

各マイクロカリキュレータ 1 のプログラム 41、42、48 及び 50 は上述した通りに実行される。サブプログラム 50 は、総制御装置 17 から来る指令が存在することを確認し、その後、サブプログラム 58 は、何らの「ストップ」指令も存在しないことを確認する。サブプログラム 55 は、総制御装置 17 により与えられた下降指令を記憶する。受入れ指令処理プログラム 45 は、このようにして記憶された下降指令を読取り、各個別制御装置 11 の出力端子 R 8 に電力を供給する。全てのモータ 15 は、個別制御装置 11 から来る指令の場合において上述した通り、遅延期間の終了まで下降方向に回転する。

操作者がスイッチ D 0 のみを作動位置に切換えた状態を保持する限り、各マイクロカリキュレー

タ 1 において上述した通り、各プログラムの連続が 1 回以上生じる。遅延プログラム 4 8 が実現される毎に、このプログラム 4 8 は、対応する遅延カウンタを減分処理し、それにより、対応する出力端子 R 8 にはこの遅延カウンタが 0 に達するまで電力が供給される。このように、全てのモータは、遅延期間の終了時に停止される。

操作者がスイッチ D 0 を押圧した場合に、各マイクロカリキュレータ 1 においてプログラム 4 1 及び 4 2 が上述した通りに実現される。テストプログラム 4 3 は、いずれのスイッチも作動位置に切換えられていない事実を確認し、その後、最終受入れ指令処理プログラム 4 7 は、サブプログラム 5 5 により予じめ記憶された下降指令を読み取る。遅延カウンタは、上述した通り遅延期間の終

了した通り連続するプログラム 4 1, 4 2, 4 3, 5 0, 5 1, 5 2, 4 5 及び 4 6 により実現される。したがって、対応するモータ 1 5 は、他の方向に回転する。操作者がスイッチ M I を解放した場合は、連続するプログラム 4 1, 4 2, 4 3, 4 7 及び 4 6 が遅延期間の終了時までモータ 1 5 の回転を保証する。

全ての個別制御装置 1 1 の動作は、作動位置に切換えられたものがスイッチ M 0 のみである場合と同様である。電力が供給されるものは、各マイクロカリキュレータ 1 の出力端子 R 7 であつて、ブラインド類の上昇に対応して全てのモータ 1 5 は他の方向に回転する。

全てのモータ 1 5 が例えば下降方向に回転している間に、操作者がスイッチ M 0 及び D 0 を同時

に押圧した場合に、対応するサブプログラム 5 5 に予じめ記憶された情報は消去される。

スイッチ D 0 を解放した後で全てのモータが依然回転している時に、操作者が同時に個別制御装置 1 1 群のいずれか一の装置のスイッチ M I 及び D I を押圧した場合には、対応するモータのこの「ストップ」指令は、上述した通り対応するマイクロカリキュレータのプログラム 4 1, 4 2, 4 3, 5 0, 5 1 及び 5 6 により連続して実現される。

スイッチ D 0 を解放した後で全てのモータが依然回転している時に、操作者が個別制御装置 1 1 群のいずれか一の装置のスイッチ M I を押圧した場合には、対応するブラインドの上昇指令は、上

に押圧した場合には、この操作は純「ストップ」指令に対応するから全てのモータ 1 5 の回転は即時に中止される。実際は、各マイクロカリキュレータ 1 において、プログラム 4 1 及び 4 2 が実現された後、テストプログラム 4 8 が少なくとも 1 個のスイッチ、この場合には 2 個のスイッチ M 0 及び D 0 が既に作動位置に切換えられている事実を確認する。サブプログラム 5 0 が純制御装置 1 7 から 1 個の指令の来たことを確認し、その後、サブプログラム 5 3 は、スイッチ M 0 及び D 0 が同時に作動位置に切換えられているから、1 個の「ストップ」指令が存在することを確認する。純「ストップ」指令を処理するためのサブプログラム 5 4 は、遅延カウンタを 0 にリセットし、それにより、対応する各モータ 1 5 への電力供給は即

時に中止される。同時に、対応するサブプログラム 55 に予じめ記憶された情報は消去される。

上述したプロセスは、幾つかのモータのみが同一方向又はそれぞれ異なる方向に回転していた場合に、操作者が同時にスイッチ M0 及び D0 を押圧した時にも依然成立する。

一の操作者が総制御装置の少なくとも 1 個のスイッチを作動位置に切換え、他の操作者が一の個別制御装置 11 の少なくとも 1 個のスイッチを作動位置に切換えることも起り得る。この方法では、その個別制御装置 11 から指令が来ると同時に総制御装置 17 からも指令が来る。実行されるものは、総制御装置 17 により与えられた指令である。

したがって、第 1 の場合においては、第 1 操作者が総制御装置 17 のスイッチ D0 を押圧し、そ

の時、第 2 操作者が個別制御装置 11 のスイッチ M1 を押圧する。これら 2 個の同時指令は、上述の通りに、まず全てのマイクロカリキュレータ 1 において同一のプログラム 41, 42 及び 48 の実現を引起す。その後、サブプログラム 50 は、総制御装置 17 から指令が来ることを確認する。サブプログラム 53, 55, 45 及び 46 は、その後あたかもスイッチ D0 のみが作動位置に切換えられたかのように上述の通りに実現される。したがって、全てのモータ 15 は、第 1 操作者がスイッチ D0 を作動位置に切換えた状態を保持する限り、下降方向に制御される。第 2 操作者がスイッチ M1 を作動位置に切換えた状態を保持している時に、第 1 操作者がスイッチ D0 を解放した場合には、上述の通り、このスイッチ M1 により制

御されるモータ 15 のみが上昇方向に回転し、対応するマイクロカリキュレータ 1 は連続的にプログラム 41, 42, 43, 50, 51, 52, 45 及び 46 を実現する。第 2 操作者がスイッチ M1 を解放した場合、上述の通り、対応するモータ 15 は、遅延期間の終了まで上昇方向に回転し続け、対応するマイクロカリキュレータ 1 は、連続的にプログラム 41, 42, 43, 47 及び 48 を実現する。この場合、最終受入れ指令処理プログラム 47 は、予じめサブプログラム 52 に記憶された受入れ最終指令、すなわち、上昇指令を処理する。この処理期間中、その他の全てのモータ 15 は、遅延期間の終了時まで、下降方向に回転し続け、対応する各マイクロカリキュレータ 1 は、連続的にプログラム 41, 42, 43, 47 及び

48 を実現する。この場合、対応する各マイクロカリキュレータ 1 の最終受入れ指令処理プログラム 47 は、予じめサブプログラム 55 に記憶された最終受入れ指令、すなわち、下降指令を処理する。

プログラムの実現は、スイッチ M0 及び D1 が同時に作動位置に切換えられた場合と同一である。

第 2 の場合においては、第 2 操作者が、「ストップ」機能を生じさせるために一の個別制御装置 11 のスイッチ M1 及び D1 を押圧する時に、第 1 操作者がスイッチ D0 を押圧する。第 1 の場合において上述した通り、第 1 操作者がスイッチ D0 を作動位置に切換えた状態を保持する限り、全てのモータ 15 は下降方向に制御される。スイッチ D1 及び M1 が依然作動位置に切換えられてい

る時にスイッチD0が解放された場合には、スイッチMIにより制御されるモータ15のみが即時に停止する。対応するマイクロカリキュレータ1は、上述の通りプログラム41, 42, 48, 50, 51及び58を連続的に実現する。この間、その他の全てのモータ15は、第1の場合において述べた通り遅延期間の終了時まで下降方向に回転し続ける。

上記の二つの場合において、第1操作者がスイッチD0を解放する前に、第2操作者がスイッチMI、又はスイッチMI及びDIを解放するときは、スイッチD0が既に解放された後であっても、全てのモータ15は、下降指令に対応して同一方向に回転し続ける。全てのマイクロカリキュレータ1は、スイッチD0の解放の後、連続してプロ

グラム41, 42, 43, 47及び48を実現する。

第3の場合においては、第2操作者が例えば一の個別制御装置11のスイッチMIを押圧する時に、第1操作者が2個のスイッチD0及びM0を押圧する。これら2個のスイッチM0及びD0が作動位置に切換えられる限り、全てのモータ15は停止される。全てのマイクロカリキュレータ1は、プログラム41, 42, 48, 50, 58及び54を連続して上述の通り実現する。この間、各プログラム系列のサブプログラム50は、制御装置17から「ストップ」指令が来たことを確認している。したがって、スイッチMIを押圧することにより生み出された指令は、実現されない。スイッチM0及びD0が解放され、他方、スイ

ッチMIが依然作動位置に切換えられている場合には、このスイッチMIにより制御されるモータ15のみが上昇方向に回転し、対応するマイクロカリキュレータ1がプログラム41, 42, 48, 50, 51及び52を連続して実現する。この間、その他の全てのモータ15は依然停止している。

この第8の場合において、第1操作者がスイッチM0及びD0を解放する前に第2操作者がスイッチMIを解放するときは、スイッチM0及びD0の解放後であっても全てのモータ15は依然停止している。

第2実施例において、第3図に線図的に示されるように、各個別制御装置11'のスイッチ手段は、例えば、2個の定位直を有する付加スイッチM/A(マニュアル/オートマチック)を有している。

このスイッチM/Aの第1端子は、対応するマイクロカリキュレータ1の出力端子R2に接続され、スイッチM/Aの第2端子は、そのマイクロカリキュレータ1の入力端子K1に接続されている。一方、第1実施例(第1図)の制御装置17の手動スイッチM0及びD0は、自動的に制御されるスイッチを有する自動制御装置6、例えば、日射ピックアップ7及び風力ピックアップ8により置換されている。この例では、自動的に制御されるスイッチは、2個のリレー、すなわち、「上昇」リレー及び「下降」リレーのそれぞれの接点M0R(上昇)及びD0R(下降)により構成されている。また、上記制御装置6は、ピックアップ7及び8により与えられる2以上の指令間の優先順位を決するために設けられた優先制御回路60

を有する。この場合は、優先順位は風力ピックアップ8により与えられる指令に対して与えられている。

この風力ピックアップ8の機能は、スイッチMOR（上昇）を閉じることであるとともに、必要ならば、日射ピックアップ7によるスイッチDOR（下降）の閉動作を防止することである。これに加えて優先順位回路89の機能は、風力ピックアップ8がこの優先順位回路89に予定されたしきい値よりも大きく、かつ、例えばブラインドが損傷を受ける風速を指示する限り、スイッチMORを閉じ続けるとともにスイッチDORを開き続けることである。

上記日射ピックアップ7の機能は、日射量が予定値よりも小さいか又は大きいかにより、スイ

ッチMOR（上昇）を閉じるか又はスイッチDORを閉じることである。これに加えて、優先順位回路89の機能は、全てのモータ16を制御するために、各場合に依じて、短期間、例えば、1/2秒間、何らの優先順位も付けずにスイッチMOR又はDORのいずれか一方の閉動作を継続することである。

第4図においてフローチャートとして示されるように、マイクロカリキュレータ1の不揮発性メモリは、第1実施例（第2図）の場合と同一のプログラム41ないし47を含んでいる。ただし、受入れ指令制御プログラム44は、プログラム44'により置換されている。このプログラム44'は、受入れ指令制御プログラム44の全てのサブプログラム50ないし58を内蔵するとともに、さら

に、以下のサブプログラムを内蔵している。すなわち、付加スイッチM/A（マニュアル/オートマチック）の位置を確認^(検)するためのサブプログラム57、「待ち」サブプログラム58、その待ち期間経過後、総制御装置8により与えられた指令の持続を確認するサブプログラム59、対応する個別制御装置11'により与えられサブプログラム52に記憶された先行指令の存在を確認するためのサブプログラム60を内蔵している。

プログラム44'も第4図に示されている。サブプログラム50の最終命令は、サブプログラム51（第1実施例の場合と同一）の最初命令のアドレス、又はスイッチM/Aの位置を確認するためのサブプログラム57の最初命令のアドレスに対する条件付き呼出し命令である。サブプログラム57

の最終命令は、サブプログラム58（第1実施例において存在する）の最初命令のアドレス、又は「待ち」サブプログラム58の最初命令のアドレスに対する条件付き呼出し命令である。この「待ち」は、例えば、1秒間持続する。サブプログラム58の最終命令は、総制御装置8により与えられる指令が持続していることを待ち期間経過後確認するためのサブプログラム59の最初命令に先行する。サブプログラム59の最終命令は、サブプログラム58（第1実施例において存在する）の最初命令のアドレス、又は対応する個別制御装置11'により与えられサブプログラム52に記憶された先行指令の存在を確認するためのサブプログラム60の最初命令のアドレスに対する条件付き呼出し命令である。サブプログラム60の最終

命令は、起程プログラム41の最初命令のアドレス、又は受入れ指令処理プログラム46の最初命令のアドレスに対する条件付き呼出し命令である。

M/Aスイッチの開位置は、対応する個別制御装置11'の動作の「自動制御」モードに対応する。この開位置においては、総制御装置6により与えられるいずれの指令も対応する個別制御装置11'の動作の「自動制御」モードに対応する。この開位置においては、総制御装置6により与えられるいずれの指令も対応する個別制御装置11'により受入れられる。したがって、この個別制御装置11'の動作は、付加スイッチM/Aの存在しない第1実施例(第1図及び第2図)において上述したものと同一である。実際は、サブプログラム57が付加スイッチM/Aの開いていること、したがって、

I及びMIを押圧することにより取消され又は留保され得る。

上記風力ビクアップ8が予定しきい値よりも大きい風速を検出した場合には、このビクアップ8が優先論理回路69を制御し、それによりスイッチMOR(上昇)を作動位置に切換える。したがって、全てのモータ15がブラインドの上昇に対応する回転方向に切換えられる。風力ビクアップ8が予定しきい値よりも大きい風速を検出する限り、スイッチMORは作動位置に切換えられた状態を保持し、かつ、スイッチMI又はDIの少なくとも一方を押圧しても、この押圧動作は対応する個別制御装置11'により考慮されない。なぜなら、風力ビクアップ8により与えられる指令が優先するからであり、このビクアップ8

「自動制御」位置にあることを確認する。したがって、上述の通り、サブプログラム58、その後サブプログラム54又は55の連結が生じる。

日射レベルが予め定められた値よりも高くなつた場合には、日射ビクアップ7は、優先論理回路69を制御し、それによりスイッチDOR(下降)を1/2秒間作動位置に切換える。日射レベルが予め定められた値よりも低くなつた場合には、スイッチMOR(上昇)が1/2秒間作動位置に切換えられる。これらの操作は、全て、操作者があつても第1実施例のスイッチDOR及びMORをそれぞれの場合に1/2秒間手で押圧したかのようにして行われる。スイッチMOR又はDORにより与えられる上記指令は、第1実施例の場合(第1図及び第2図)と同様に、操作者がスイッチD

の機能は設備、例えば、ブラインドの安全を保証することにあるからである。上記の動作は、上述した第1実施例(第1図及び第2図)の場合において、操作者がスイッチMORを押圧したときのものと同じである。

付加スイッチM/Aの開位置は、個別制御装置11'の動作の「手動制御」モードに対応する。「手動制御」は本明細書を通じて「非自動制御」を意味する。

各個別制御装置11'の動作は、対応するスイッチMI及びDIにより与えられる指令に関して第1実施例(第1図及び第2図)において上述したものと同一である。プログラム41、42、48、50、51、52、45及び46、又はプログラム41、42、48、50、51及び56、

又はプログラム41, 42, 48, 47及び48は、第1実施例の場合において述べたように連続して実現される。

また、付加スイッチM/Aの開位置においては、総制御装置6により与えられる指令は、常に、受入れられない。この指令は、スイッチMQR又はDQRの少なくとも一方がサブプログラム58により定められた「待ち」期間よりも長い期間作動位置に切換えられた状態を保持する場合には、受入れられる。逆の場合には、この指令は受入れられない。

動作の一例として、日射レベルが予定値よりも高くなる場合は、日射ビツクアップ7が優先論理回路69を制御し、それによりスイッチDQR(下降)を1/2秒間作動位置に切換える。日射ビツ

クする。その後、走査プログラム41は、再度、実現される。

逆に、日射レベルが予め定められた値よりも低い場合は、スイッチMQR(上昇)が1/2秒間作動位置に切換えられる。この指令は、その持続時間も「待ち」期間よりも短いので、実現されない。プログラム41, 42, 48, 50, 57, 58, 59及び60は、連続して実現される。

スイッチDQR又はMQRにより与えられる指令に先行して又は後続して、スイッチMI又はDIが押圧される場合、この押圧動作は、対応する個別制御装置11'により判断される。したがって、スイッチDI(下降)の押圧動作は、第1実施例(第1図及び第2図)の場合において上述したように、プログラム41, 42及び48、その後プ

クアップ7により与えられるこの指令は、その持続期間が「待ち」期間(1秒間)よりも短いので、実現されない。実際は、プログラム41, 42, 及び48が第1実施例の場合と同じく実現された後で、受入れ指令制御プログラム44がサブプログラム50により付加スイッチM/Aが「手動制御」位置にあることを確認する。総制御装置6から指令が来る場合には、その後サブプログラム57により上記事実を確認する。サブプログラム58は、1秒間の「待ち」を生じさせる。その後サブプログラム59は、上記指令が1/2秒間しか持続しなかつたので、総制御装置6により先にも与えられた指令がもはや存在しないことを確認する。サブプログラム60は、対応する個別制御装置11'により先にも与えられた指令が何もなくつたことを確

認する。その後、走査プログラム41は、再度、実現される。このとき、風力ビツクアップ8が優先論理回路69を制御すれば、この優先論理回路69は、風力ビツクアップ8が予定しきい値よりも大きい風速を表示する限り、スイッチMQR(上昇)を作動位置に切換える。スイッチMQRにより与えられる指令は、全ての個別制御装置11'により実現される。なぜなら、その指令の持続時間は、「待ち」期間(1秒間)よりも長いからである。

同時に、全てのスイッチMI又はDIから来る指令は判断されない。実際は、プログラム41, 42及び48が実行された後、受入れ指令制御プログラム44がサブプログラム50により総制御装置6から指令が来ることを確認し、その後、サ

プログラム57によりスイッチM/Aが「手動制御」位置にあることを確認する。サブプログラム58は1秒間の「待ち」を生じさせ、その後、サブプログラム59は総制御装置6により与えられた指令が依然存在していることを確認する。なぜなら、風速が閾値を超えている限り、その指令は持続されるからである。サブプログラム58は、総「ストップ」指令が全く無いことを確認する。サブプログラム55は、総制御装置6により与えられた上昇指令を記憶する。受入れ指令処理プログラム56は、このようにして記憶された上昇指令を読み取り、各個別制御装置11'の出力端子R7に電力を供給する。全てのモータ15は、遅延期間の終了時まで上昇方向に回転する。

この遅延期間（この例では8分間）の終了後で

別制御装置11のそれぞれのスイッチM/Aが「手動制御」（閉）位置にあるときは、各個別制御装置11は、総制御装置17により与えられる短い指令（この例では1秒未満）を受入れない。スイッチM0及びD0が保持位置を有するスイッチである場合には、これらの保持位置が与える指令は持続され、したがって、対応する付加スイッチM/Aの位置にかかわらず、全ての個別制御装置11により受入れられる。

第5図に概図として示された本発明の第8実施例においては、第1実施例及び第2実施例において論理処理ユニットを構成するマイクロカリキュレータ1は、論理回路70により置換されている。この論理回路70は、スイッチM1及びD1がそれぞれ接続された2個の入力端子I0及びI1の

あつても、スイッチD1（下降）により与えられる指令は、スイッチM0R（上昇）が閉じられている限り、有効でない。

風力ピクアップ8が予定しきい値よりも小さい風速を表示した時点で、優先論理回路69はスイッチM0Rを解放操作する。全てのスイッチD1により与えられる指令は、再度、判断され得る。実際は、プログラムは、総制御装置6により与えられる指令が全く無い場合と同様に実行され得る。

本発明の適用範囲から外れることなく、スイッチM/Aは、総制御装置17を有し、単に2個のスイッチM0及びD0により構成された第1実施例（第1図及び第2図）に使用され得る。この場合において、これらのスイッチM0及びD0が瞬時位置を取る押ボタンスイッチであり、かつ、各個

第1グループを有している。さらに、この論理回路70は、上記8個の実施例の入力インターフェイス4と同様の入力インターフェイス6を介して総制御装置17のスイッチM0及びD0にそれぞれ接続された2個の入力端子I8及びI9の第8グループを有している。さらに、上記論理回路70は、各個別制御装置11'において、上述した出力インターフェイス2及び8（第1図及び第2図）を介して受電装置15に接続された2個の出力端子R7及びR8を有している。さらに、上記論理回路70は、入力端子I5において電圧降下を引き起すための抵抗器81及び82の組合せを介して、リード14に接続された入力端子I5を有している。この結合関係により、例えば、交流電源を、モータ15の運転における遅延をカウントするた

めのタイムベースとして利用することが可能となる。また、上記論理回路70は、2個の電源端子 V_{cc} 及び V_{dd} を有している。スイッチMI及びDIの第2端子は、電源端子 V_{cc} に接続されている。

真正の論理回路70は、入力端子I0, I1, I8及びI6と電源端子 V_{dd} との間にそれぞれ存在する電圧により与えられる、スイッチMI, DI, M0及びD0の位置を読取るための読取論理回路71を有している。入力端子I0, I1, I8及びI6を有するのはこの読取論理回路71である。この読取論理回路71は、例えば、シュミットトリガ回路80, 81, 82及び88により構成される。最初の2個のシュミットトリガ回路80及び81は、反転出力端子を有している。

優先論理回路72は、それぞれ2個の入力端子を具えた8個のNANDゲート87及び88を有している。各NANDゲート87及び88の一方の入力端子は、NORゲート86の出力端子に接続されている。NANDゲート87の他方の入力端子は、シュミットトリガ回路82の出力端子に接続されている。NANDゲート88の他方の入力端子は、シュミットトリガ回路88の出力端子に接続されている。NANDゲート87及び88の出力端子は、それぞれ2個の入力端子を具えたNANDゲート89及び90の一方の入力端子にそれぞれ接続されている。これらのNANDゲート89及び90の他方の入力端子は、それぞれシュミットトリガ回路80及び81の出力端子に接続されている。

これらシュミットトリガ回路80及び81の入力端子は、それぞれ入力端子I0及びI1に接続されている。

この読取論理回路71は、優先論理回路72に接続されている。この優先論理回路72は、2個以上の指令が同時に与えられた場合において、スイッチMI, DI, M0, 及びD0により与えられる指令の中から受入れられるべき1個の指令を決定するために設けられている。

上記優先論理回路72は2個の反転ゲート84及び85を有している。これらの反転ゲート84及び85の入力端子は、それぞれシュミットトリガ回路80及び81の出力端子に接続され、反転ゲート84及び85の出力端子は、NORゲート86の2個の入力端子に接続されている。さらに、

上記優先論理回路72は、受入れ指令を記憶し、それにより論理回路70の出力端子R6又はR7の一方を制御し又は制御しないために具えられた記憶論理回路78に接続されている。

この記憶論理回路78は、フリップ・フロップR8として動作する2個のNORゲート91及び92を有している。これらNORゲート91及び92のそれぞれの一方の入力端子は、他方のNORゲート91又は92の出力端子に接続されている。NORゲート91の他方の入力端子は、NANDゲート89の出力端子に接続されている。NORゲート92の他方の入力端子は、NANDゲート90の出力端子に接続されている。

論理回路72及び78は、遅延論理回路74に接続されている。

この遅延論理回路74は、単安定論理回路95を有し、この回路95の入力端子Tは、NORゲート86の出力端子86に接続されている。上記単安定論理回路95は、その入力端子Tにおける状態0により能動状態となることができるとともに出力端子8において単安定状態の全期間中状態0となるように構成されている。この単安定論理回路95は、例えば、シグネティック社の、称号M5555を有する集積回路、又はテキサス・インスツルメント社の、称号8474121を有する集積回路又はその類似物により製作することができる。さらに、遅延回路74は、2個の入力端子を有するNANDゲート96及び97を有している。各NANDゲート96又は97の一方の入力端子は、単安定論理回路95の出力端子8に接

続されている。各NANDゲート96又は97の他方の入力端子は、それぞれNANDゲート96及び97の出力端子並びにNANDゲート98の2個の入力端子に接続されている。NANDゲート98の出力端子は、遅延論理回路100を0にリセットするための入力端子Rに接続されている。NANDゲート96及び97の出力端子は、NANDゲート99の2個の入力端子にそれぞれ接続されている。NANDゲート99の出力端子は、遅延論理回路100の能動(tbipping)入力端子Dに接続されている。遅延論理回路100は、さらに、入力端子I5に接続されたクロック入力端子H、及び2個のNORゲート98及び96の2個の入力端子の一方に接続された出力端子8を有している。NORゲート98及び96の他方の入

力端子は、それぞれNORゲート91及び92の出力端子に接続されている。NORゲート98及び96の出力端子は、それぞれ出力端子R7及びR6に接続されている。遅延論理回路100は、その入力端子Dにおける状態1により能動状態となり得るように、0へリセットするための入力端子Rにおける状態0により0へリセットされ得るように、及びクロック入力端子Hから来るパルスの子じめ定められた数をカウントするように構成されている。上記遅延論理回路100の出力端子8は、この回路100が能動状態となつた時に状態0へ移行し、遅延期間が終了した時に状態1へ移行するように調整されている。上記遅延論理回路100は、例えば、モートローラ社の、称号M014541を有する集積回路により製作するこ

とができる。

各入力インターフェイス4'は、この入力インターフェイス4'がスイッチM0及びD0の接点の機械的リバウンドによる効果を除去するのに役立つ。各抵抗器33と並列に接続されたキャパシタ105を有していることによつて、インターフェイス4(図1図及び第8図)と異なる。

各スイッチM1は抵抗器102を介して入力端子I0に接続され、この入力端子I0はキャパシタ103を介して電源端子Vddに接続されている。上記スイッチM1は、また、抵抗器101を介して電源端子Vddに接続されている。抵抗器101及び102並びにキャパシタ103は、スイッチM1の接点のためのリバウンド除去フィルタを構成する。

その他の全ての構成部品は、第1実施例(第1図)の構成部品と同一である。

操作者がスイッチM Iのみを作動位置に切換えた時、入力端子I Uの電位は電源端子V_{cc}の電位に移行し、シュミットトリガ回路82の出力は状態1へ移行する。入力端子I 3及びI 4の電位は0であるから(制御装置17から何らの指令もない)、NORゲート86の出力は状態1であり、したがって、NANDゲート87の出力は状態0へ移行する。NANDゲート89の出力は、状態0へ移行し、それにより、NORゲート91の出力は状態0に変化する。NORゲート88の出力は状態1であるから、単安定論理回路95は能動状態とならず、したがって、この回路95の出力端子8は、依然、状態1を出力している。N

上記スイッチM Iが解放操作された時は、NANDゲート89の出力は状態0に復帰する。しかし、NORゲート91の出力は、依然、状態0であるから、遅延期間が終了していない限り、出力端子R 7には、依然、電力が供給され続ける。

上記遅延期間の終了時に、遅延論理回路100の出力端子8は状態0から状態1の出力に移行し、それにより、NORゲート93の出力は状態0に移行する。したがって、出力端子R 7にはもはや電力が供給されない。

遅延期間の終了前に、操作者が「停止」指令を与えるためにスイッチM I及びD Iを同時に作動位置に切換えた場合には、NANDゲート89及び90の出力は、ともに、状態1へ移行し、それにより、NANDゲート98の出力は、状態0に

ANDゲート89の出力は状態1である時、NANDゲート97の出力は状態0に移行し、NANDゲート99の出力は状態1に移行する。この結果、遅延論理回路100の能動入力端子Dを介して遅延期間(この例では8分間)が開始される。同時に、シュミットトリガ回路80、81及び83の出力は状態0であるから、NANDゲート90の出力は状態0である。それにより、NANDゲート98は状態1に移行し、遅延論理回路100のリセット端子Rは状態0の入力に移行する。それにより、遅延期間は既に開始されていたので、遅延論理回路100の出力端子8は状態0の出力に移行し、NORゲート98の出力は状態1に移行する。したがって、モータ15は、出力端子H 7を介して電力を供給され、上昇方向に回転する。

移行する。この移行は、遅延論理回路100のリセット端子Rが状態0の出力になるから、遅延期間を0にリセットする効果を有する。遅延期間が0にリセットされている時は、遅延論理回路100の出力端子8は状態1の出力に移行し、それにより、NORゲート93及び94の出力は、再度状態0となる。出力端子R 8及びR 7には、もはや、電力が供給されないから、モータ15は停止する。

一の操作者がスイッチM I(個別上昇)を押圧する一方で、他の一の操作者が制御装置17のスイッチD 0(下降)を押圧した場合には、シュミットトリガ回路81及び82の出力は、それぞれ状態0及び状態1に移行する。単安定論理回路95の入力端子Tは状態0に移行するから、この

回路95の出力端子Bは、単安定論理回路95の安定期間（例えば、10ms）中に、状態0に移行する。この結果、遅延論理回路100の能動入力端子Dは状態0の出力に移行する。これにより、遅延論理回路100は、再度、能動状態となることができる。実際は、単安定論理回路95の出力端子Bが状態1の出力に復帰した時に、NANDゲート90の出力が状態1であるから、NANDゲート99の出力は状態1に移行する。NANDゲート98の出力も状態1であり、かつ、NANDゲート89の出力は状態0であるから、NANDゲート99の出力の変化は、遅延サイクルを再開始する効果を有する。

NANDゲート90の出力が状態1の時、NORゲート92の出力は状態0であり、また、遅延

ANDゲート87の出力は状態0に移行し、これによりNANDゲート88は状態1に移行する。NANDゲート97及び99並びにNORゲート91の出力は、それぞれ状態1及び状態0に移行する。したがって、遅延論理回路100は、その能動入力端子Dに現われる状態1により能動状態となる。これにより、回路100の入力端子Bは状態0に移行し、NORゲート93の出力は状態1に移行する。したがって、出力端子R7には遅延期間の終了時まで電力が供給される。モータ15は、電力が供給され、上昇方向に回転する。

本発明は、特にスライドシャッタ、ブラインド又はその他の類似物を駆動する電動モータを制御するために利用することができる。

4図面の簡単な説明

論理回路100の出力端子Bが状態0の出力であるから、NORゲート94の出力は状態1に移行する。出力端子R8には、電力が供給され、これによりモータ15は下降方向に回転する。

操作者が持続してスイッチD0を押圧する限り、モータ15には、3分間の遅延期間の終了まで、すなわち、遅延論理回路100の出力端子Bが状態1に復帰するまで、出力端子R8により、依然、電力が供給される。装置11の全体は、2人の操作者が同時にスイッチM1及びD0を押圧する限り、上述の状態を、依然、持続する。

操作者がスイッチD0を解放し、スイッチM1を、依然、作動位置に切換えたままにした時には、シムントリガ回路82は状態1であり、かつ、NORゲート86の出力が状態1であるから、N

図面は、本発明による実施例を代表例として示すものである。

第1図は、本発明の第1実施例の回路図である。

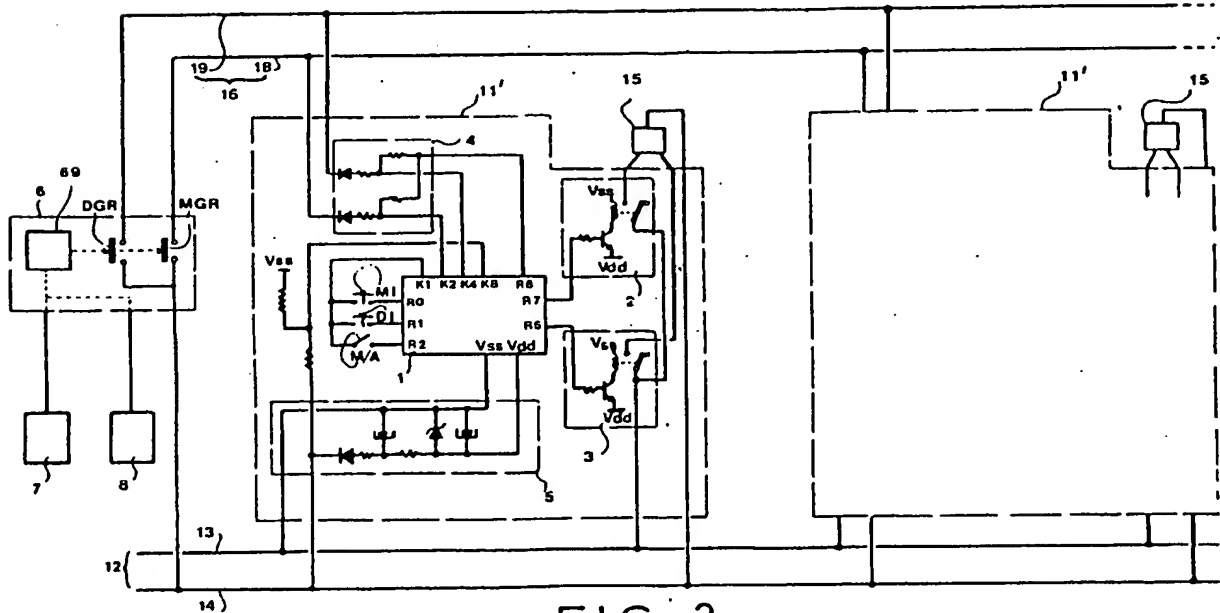
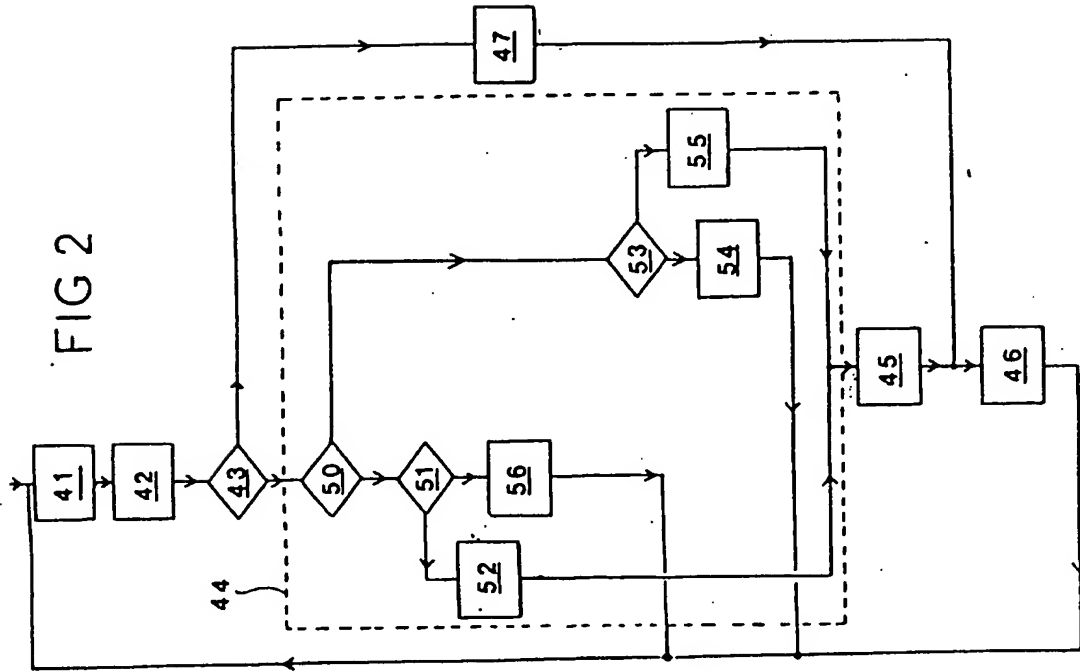
第2図は、論理的漸進ユニットを構成する、マイクロカリキュレータの不揮発性メモリ中に含まれた第1実施例中のプログラム図である。

第3図は、本発明の第2実施例の回路図である。

第4図は、論理的漸進ユニットを構成する、マイクロカリキュレータの不揮発性メモリ中に含まれた第2実施例中のプログラム図である。

第5図は、本発明の第3実施例の回路図である。

第6図は、論理的漸進ユニットを構成する、第



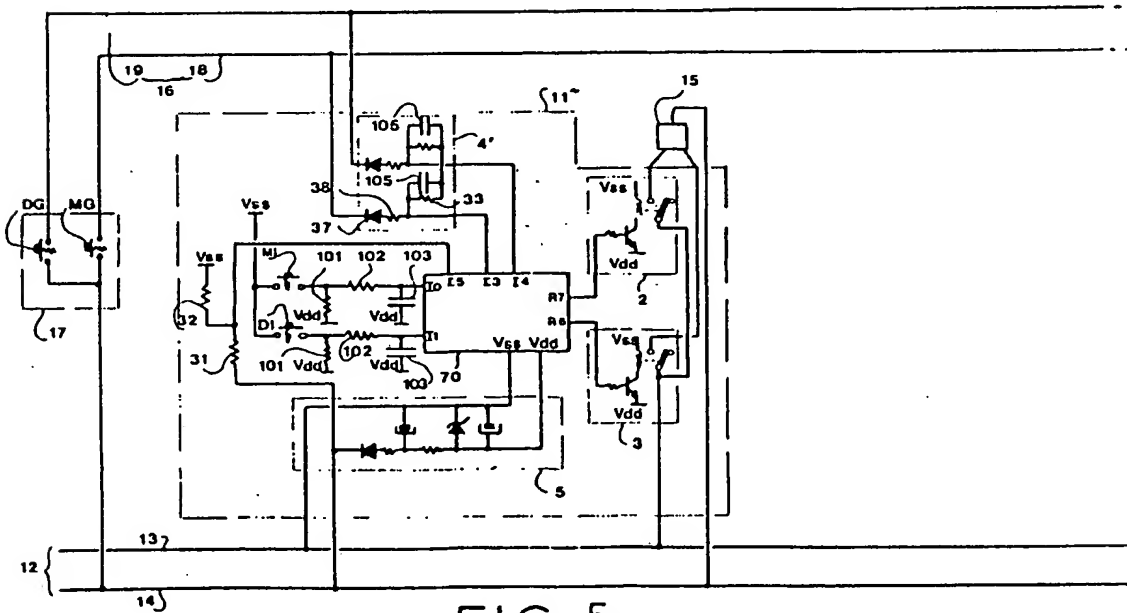
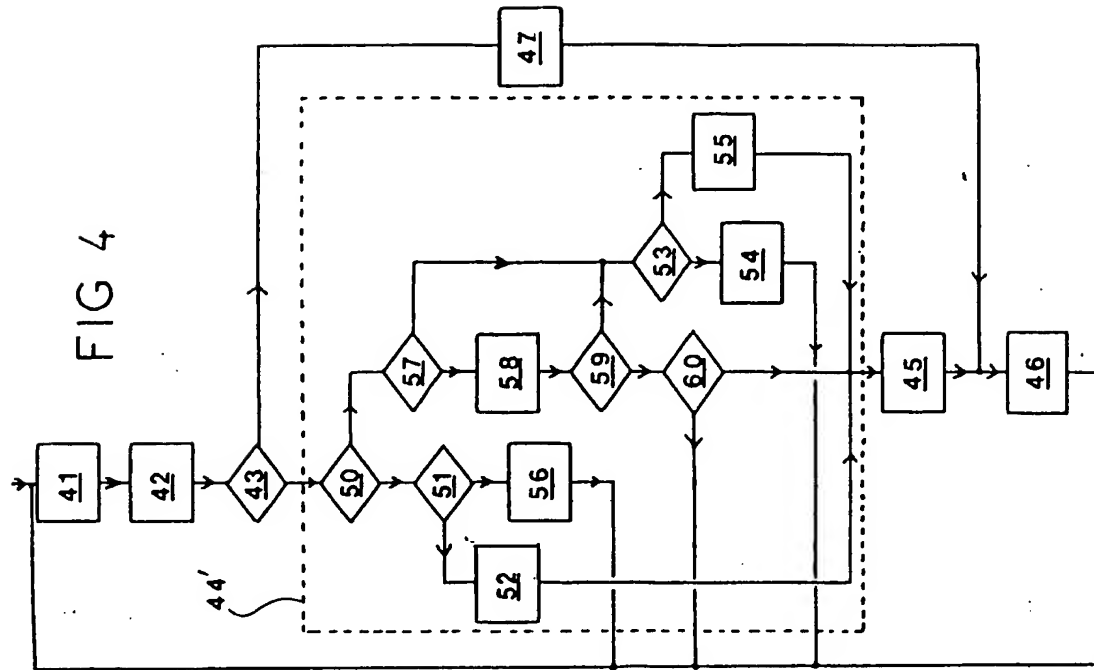


FIG 5

FIG 6

